

INEL 4205 – Circuitos Lógicos

Descripción del curso

Algebra Booleana, sus teoremas y postulados. Diseño de circuitos combinacionales; técnicas de reducción. Circuitos secuenciales y maquinas de estado. Uso de aparatos de integración en escala mediana y alta (MSI/LSI) en el diseño de circuitos lógicos.

Información sobre el profesor

Nombre: Manuel Toledo Oficina: Stefani 703 Email: mtoledo@ece.uprm.edu
 Horas de oficina: Martes y Jueves de 2:00 a 3:30pm; Miércoles de 12:30 a 3:30pm
 Página de Internet del curso: <http://www.ece.uprm.edu/~mtoledo/4205>

Libro de texto: Morris Mano, *Digital Design*, 4th edition, 2006.

Reglas y organización del curso

1. La calificación final será calculada a base de cuatro exámenes parciales y un examen final comprensivo, sin contar la nota más baja. Cada una de las cuatro notas restantes contará por $\frac{1}{4}$ de la nota final. Es posible que además se asignen trabajos para hacer fuera del salón; de ser así los mismos contarán como parte de uno de los exámenes parciales.
2. No habrá exámenes de reposición.
3. Se espera que los estudiantes asistan puntualmente a todas las clases del semestre. En caso de ausencia, es responsabilidad del estudiante estudiar el material cubierto.
4. Curva preliminar: 90-100 = A ; 80-89 = B ; 70-79 = C ; 60-69 = D ; menos de 60 = F

Programa preliminar de charlas

	Fecha	#	Tema	Capt	Probs
Agosto	13	1	Introducción al curso; Sistemas numéricos; conversión	1	2, 3, 5, 6, 7, 9
	18	2	Complemento de números; Operaciones aritmeticas	1	12(a), 14, 18, 20, 22, 23
	20	3	Algebra booleana: principios básicos y teoremas	2	2, 3, 4, 9, 11
	25	4	Simplificación de circuitos lógicos usando álgebra booleana	2	13, 15, 17, 18, 19, 22, 28
	27	5	Repaso		
Septiembre	1	6	Examen I		
	3	7	Mapas de <i>Karnough</i>	3	1-13, 15, 17, 19, 20-24, 28, 30
	10	8	Circuitos de suma, resta, <i>bcd</i> , etc.	4	1, 6a, 7a, 10
	15	9	Circuitos de multiplicación, comparación, etc.	4	15, 16, 20(a), 22
	17	10	Diseño con <i>decoders</i> y <i>multiplexers</i> ; <i>encoders</i> .	4	28, 29, 31, 33, 34, 35
	22	11	Repaso		
	24	12	Examen II		
29	13	Latches, flip-flops, y circuitos secuenciales	5	3, 4, 7, 8	
Octubre	1	14	Análisis; diagramas de estado	5	9, 10, 11, 12
	6	15	Diseño de maquinas de estado	5	15, 16, 18, 19, 20
	8	16	Detectores de secuencia	5	

	Fecha	#	Tema	Capt	Probs
	13	17	Problemas de practica		
	15	18	Repaso		
	20	19	Examen III		
	22	20	Registros	6	4, 8
	27	21	Contadores	6	15, 16, 17, 21, 24
	29	22	Problemas de practica	6	
Noviembre	3	23	<i>Verilog.</i>		
	5	24	Memorias. Lógica programable.	7	1, 2, 3, 8, 16, 18
	6		Ultimo día de bajas parciales		
	10	25	Diseño con <i>PLAs</i> y <i>PALs</i> . Introducción a CPLD, FPGAs	7	20, 21, 22, 23, 24, 25 y 28
	12	26	Código de <i>Hamming</i>	7	10, 11, 12, 13
	17	27	Repaso		
	24	28	Examen IV. Ultimo día de exámenes parciales.		
Diciembre	1	29	Repaso		
	3	30	Repaso – Terminan las clases.		