

INEL4205 Circuitos Lógicos  
Segundo Semestre 2008-2009  
Asignación

Cuenta por 25 puntos del cuarto examen parcial

La fecha de entrega es el **martes 5 de mayo** durante el cuarto examen parcial. Sin embargo, aquellos que así lo deseen pueden entregar el documento en o antes del 12 de mayo, ultimo día de clases, pero deben tener en consideración que habrán preguntas sobre *verilog* en el examen 4.

La asignación consiste en lo siguiente:

1. Diseñar un sistema sincrónico que detecte, durante ciclos de reloj consecutivos, que se recibió la secuencia **0110** o la secuencia **0101** (escritas con el primer bit recibido a la izquierda, ultimo bit a la derecha) en la única entrada serial del circuito  $x$ . La entrada  $x$  es de un bit. El circuito debe usar una maquina de estados finitos tipo Moore. La detección de la secuencia debe indicarse haciendo que la salida del circuito  $z$  asuma un valor de 1 lógico.
2. Efectuar una simulación del circuito usando el lenguaje *Verilog*.
3. Simular el circuito para verificar que funciona como es debido. Explicar porque los resultados indican el funcionamiento correcto de forma convincente. Deben hacer suficientes simulaciones que demuestren que la secuencia es detectada bajo diferentes circunstancias, y que no hay detecciones falsas.
4. Incluir una sección de referencias con al menos 4 referencias. Pueden ser enlaces a paginas de internet, artículos de revistas o libros. Las referencias deben ser escritas siguiendo el formato que se describe en la pagina <http://en.wikipedia.org/wiki/Citation>, sección titulada "Citation content".

La asignación debe ser realizada en grupos de trabajo de 3 estudiantes. Cada grupo de trabajo debe entregar un reporte resumiendo los resultados de su trabajo, organizado de la siguiente forma:

1. Hoja frontal con los nombres y números de identificación de los estudiantes que integran el grupo, sección a la que pertenece e información sobre el curso (semestre, titulo del curso y código).
2. Diseño de la maquina de estado descrita arriba.
3. Código *Verilog* y resultados de las simulaciones.
4. Discusión que explique como los resultados de las simulaciones demuestran que el diseño debe trabajar.